

PAT-NO: JP362044366A

DOCUMENT-IDENTIFIER: JP 62044366 A

TITLE: GRINDING METHOD FOR SEMICONDUCTOR WAFER

PUBN-DATE: February 26, 1987

INVENTOR-INFORMATION:

NAME

YAMANE, KENJI

SAKAMURA, KAZUNARI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

N/A

NOUKATA TOSHIBA ELECTRON KK

N/A

APPL-NO: JP60180521

APPL-DATE: August 19, 1985

INT-CL (IPC): B24B007/02, H01L021/304

ABSTRACT:

PURPOSE: To make such an element as being small in contact resistance with an envelope formable so easily in a lapping process at the time of setting a brazing material, by installing grinding grooves of more than two directions on a grinding surface when grinding a semiconductor wafer with a grinding wheel.

CONSTITUTION: A semiconductor wafer 2 of about 600 $\mu$ m in film thickness is clamped to a fixed block 1, rotating a grinding wheel 3a in an X direction, and this fixed block 1 is moved in a Y direction, whereby the wafer 2 is ground so as to be formed into about 300 $\mu$ m in film thickness. Likewise, it is ground so as to become about 200 $\mu$ m in the film thickness by a grinding wheel 3b, and a one directional grinding groove of several  $\mu$ m in depth is formed. Next, a position of the wafer 2 is rotatively moved as far as 90 $^{\circ}$ , and its surface is lightly ground by a grinding wheel 3c, whereby a reticulate grinding groove is formed on a surface of the wafer 2. In succession, the wafer 2 on which the reticulate grinding groove is formed is divided into plural elements, and each grinding surface of these elements is stuck and locked to an envelope 5 via a brazing material. Thus, the wafer surface is reticulated at a lapping process whereby its contact resistance with the envelope 5 is reducible.

COPYRIGHT: (C)1987,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-44366

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)2月26日

B 24 B 7/02  
H 01 L 21/304

7512-3C  
B-7376-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体ウエハの研削方法

⑮ 特 願 昭60-180521

⑯ 出 願 昭60(1985)8月19日

⑰ 発 明 者 山 根 健 次 北九州市小倉北区下道津1-10-1 株式会社東芝北九州工場内  
⑱ 発 明 者 坂 村 一 成 直方市大字上新入1891の1 直方東芝エレクトロニクス株式会社社内  
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地  
⑲ 出 願 人 直方東芝エレクトロニクス株式会社 直方市大字上新入1891の1  
⑳ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

半導体ウエハの研削方法

2. 特許請求の範囲

研削砥石を用いて、半導体ウエハを研削するにあたりこの研削面に少なくとも2方向以上の研削溝を形成することを特徴とする半導体ウエハの研削方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は半導体ウエハの表面研削、特にグラインダラッピング方法に関するものである。

(発明の技術的背景とその問題点)

従来のグラインダラッピングの一例を図を用いて説明する。

一般に、シリコン単結晶をスライス(輪切り)して得られたシリコンウエハは600 $\mu$ m程度の膜厚を有している。このウエハを砥石により研削し200 $\mu$ m程度にするのがグラインダラッピング工程である。

従来は第3図に示すようにシリコンウエハ2上で砥石3を一方向に回転させることにより研削していた。

そしてこの研削されたウエハ2は複数の素子に分割され、各素子は半導体装置の外囲器に固着用ロウ材で固定される。

従来、上記のようにウエハ2の研削を砥石3の一方向の回転のみにより行なっているため、このウエハ2の研削面は第3図(b)に示すような一方向の研削溝が形成される。

そして、このような一方向の研削溝の形成された素子を外囲器にろう材で固着すると、外囲器との接触面積が小さいため、この固着部での接触抵抗が大きくなる。

ところでPNアイソレーションによる集積回路では半導体基板を通じての、寄生PNPなどによる漏れ電流が完全に防止できない。このため上記のように素子と外囲器との接触抵抗が大きい場合、漏れ電流により電圧降下が大きくなる。そして、漏れ電流の生じた部分における素子内部電位が不

## 特開昭62-44366(2)

必要に高くなり近くの駆動領域へ不所望なバイアスを与え誤動作させる。

また、上記素子への電気信号、例えばコレクタ電流を上記外周部の固着部から入出力する場合、ここで接触抵抗が大きいと消費電力が大きくなってしまふ。

このような問題を解決する方法として、例えばウエハ2の研削終了後、ダイヤモンドカッタなど研削面に複数の引っかき傷を形成することも考えられるが、この場合工程数が増えて生産効率が低くなる。

## 〔発明の目的〕

本発明は上記従来の問題点を解決し、半導体素子の外周部へのろう材による固着に際し、この外周部との接触抵抗が小さい素子をラッピング工程で簡単に形成することができる半導体ウエハの研削方法を提供することを目的とする。

## 〔発明の概要〕

本発明は上記目的を達成するための、研削砥石を用いて半導体ウエハを研削するにあたりこの研

削面に少なくとも2方向以上の研削線を形成することを特徴とする半導体ウエハの研削方法である。

## 〔発明の実施例〕

本発明方法を用いて半導体ウエハの裏面（外周部との接合部）を研削する一実施例を図を用いて説明する。

第1工程 第1図(a)に示されるように、固定台1に膜厚約600 $\mu$ mの半導体ウエハ2を固定し、第1の砥石3aを矢印Xで示される方向に回転させる。そして固定台1を矢印Yで示される方向へ移動させウエハ2を第1の砥石3aにより膜厚約300 $\mu$ mになるよう研削する。（荒研削工程）

第2工程 第1図(b)に示されるように、荒研削工程により膜厚約300 $\mu$ mとなったウエハ2をさらに第2の砥石3bにより、膜厚約200 $\mu$ mとなるよう研削する。この工程によりウエハ2には深さ数 $\mu$ mの一方方向の研削溝が形成される。（中仕上げ工程）

第3工程 第1図(c)に示されるように、ウエハ2の位置を90°回転移動し第3砥石3cにより表面

を軽く削る。これによりウエハ2の裏面には第1図(d)に示すように網目状の研削溝が形成される。（最終仕上げ工程）

上記のようにして、網目状の研削溝の形成されたウエハ2は複数の素子に分割され、個々の素子は第2図に示すように前述した研削面を、ろう材4を介して外周部5に接合・固定される。そしてこの素子2の上面の電極はボンディングワイヤにより外部導出リード3bへ接続される。

本実施例方法によると半導体素子2bの外周部5への密着面をグラインドラッピング工程で網目状にすることにより外周部5との接触抵抗を小さくすることができる。

そしてこのようにグラインダ工程で網目状の研削溝の形成されたウエハ2は一方方向の研削溝の形成されたウエハよりも脱膜率が大きくなる。このためこのウエハ2を分割して形成される素子2bはろう材4との接合面積が大きくなり、外周部5との接触抵抗が低減する。

従って、漏れ電流による不所望な高電位は低減

され、誤動作が防止される。そして消費電力も低減される。

また、従来はろう材4として導電性の良いSn-Pbなどの半田を用いていたが、多少半田より導電性は小さいが、安価な銀含有樹脂糊等の接着剤を用いることが可能となる。

加えてろう材4との接触面積が大きいため外周部5の接合強度が向上する。

本発明は上記一実施例に限定されるものではなく、例えば半導体ウエハの膜厚は200 $\mu$ mでなくともよい。また砥石は3種類以上用いてより細かい網目状の研削溝を形成してもよい。

## 〔発明の効果〕

本発明方法によると、研削砥石により半導体ウエハに網目状の研削溝を形成することにより、外周部との接触抵抗の小さい素子を簡単に形成することができるという効果がある。

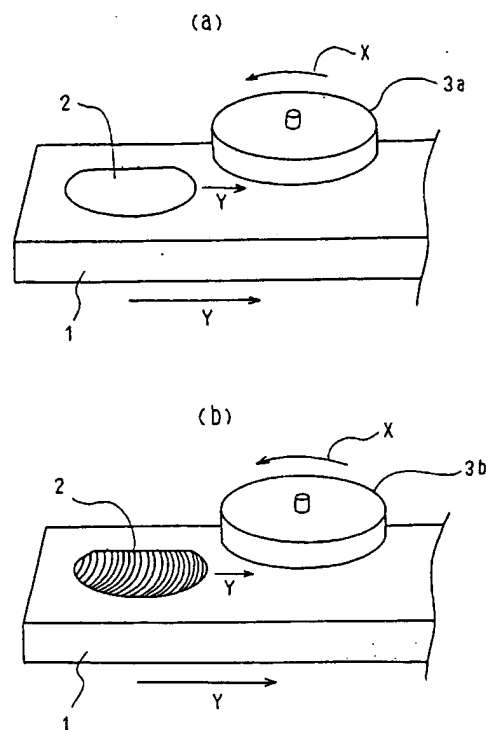
## 4. 図面の簡単な説明

第1図(a)乃至(c)は本発明の一実施例方法を示す工程図、同図(d)はこの実施例により形成されたウエ

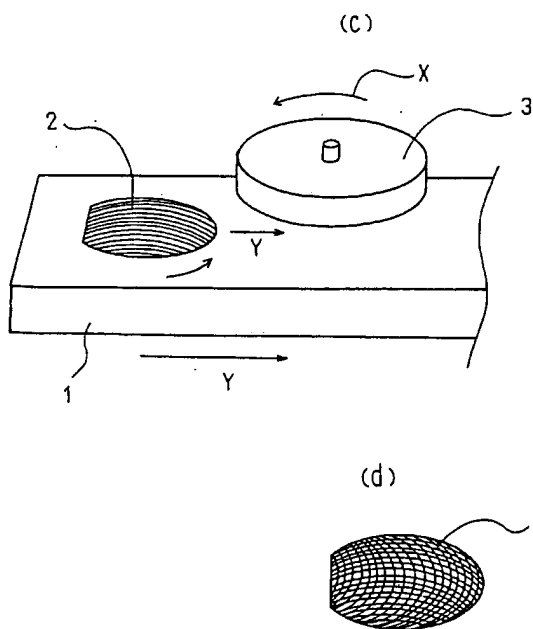
へ上の網目状の研削溝を示すウエハ斜視図、第2図は本発明の一実施例方法により研削されたウエハを分割形成した半子を外周器に接着・固定した状態を示す側面図、第3図(a)は従来の研削方法を示す斜視図、同図(b)は従来の一方向の研削溝の形成されたウエハを示す斜視図である。

代理人 井理士 則 近 憲 佑  
~~大 明 興 夫~~  
 同 大 明 興 夫

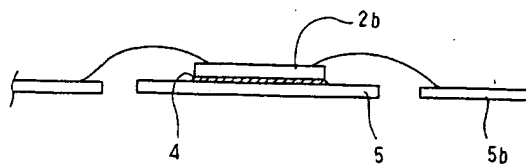
第 1 図



第 1 図



第 2 図



第 3 図

